

268 条 PCB Layout 设计规范! --转自 发烧友研习社

序号	按部位分类	技术规范内容
1	PCB 布线与布局	PCB 布线与布局隔离准则: 强弱电流隔离、大小电压隔离, 高低频率隔离、输入输出隔离、数字模拟隔离、输入输出隔离, 分界标准为相差一个数量级。隔离方法包括: 空间远离、地线隔开。
2	PCB 布线与布局	晶振要尽量靠近 IC, 且布线要较粗
3	PCB 布线与布局	晶振外壳接地
4	PCB 布线与布局	时钟布线经连接器输出时, 连接器上的插针要在时钟线插针周围布满接地插针
5	PCB 布线与布局	让模拟和数字电路分别拥有自己的电源和地线通路, 在可能的情况下, 应尽量加宽这两部分电路的电源与地线或采用分开的电源层与接地层, 以便减小电源与地线回路的阻抗, 减小任何可能在电源与地线回路中的干扰电压
6	PCB 布线与布局	单独工作的 PCB 的模拟地和数字地可在系统接地点附近单点汇接, 如电源电压一致, 模拟和数字电路的电源在电源入口单点汇接, 如电源电压不一致, 在两电源较近处并一 $1\sim 2\text{nf}$ 的电容, 给两电源间的信号返回电流提供通路
7	PCB 布线与布局	如果 PCB 是插在母板上的, 则母板的模拟和数字电路的电源和地也要分开, 模拟地和数字地在母板的接地处接地, 电源在系统接地点附近单点汇接, 如电源电压一致, 模拟和数字电路的电源在电源入口单点汇接, 如电源电压不一致, 在两电源较近处并一 $1\sim 2\text{nf}$ 的电容, 给两电源间的信号返回电流提供通路
8	PCB 布线与布局	当高速、中速和低速数字电路混用时, 在印制板上要给它们分配不同的布局区域
9	PCB 布线与布局	对低电平模拟电路和数字逻辑电路要尽可能地分离
10	PCB 布线与布局	多层印制板设计时电源平面应靠近接地平面, 并且安排在接地平面之下。
11	PCB 布线与布局	多层印制板设计时布线层应安排与整块金属平面相邻
12	PCB 布线与布局	多层印制板设计时把数字电路和模拟电路分开, 有条件时将数字电路和模拟电路安排在不同层内。如果一定要安排在同层, 可采用开沟、加接地线条、分隔等方法补救。模拟的和数字的地、电源都要分开, 不能混用
13	PCB 布线与布局	时钟电路和高频电路是主要的干扰和辐射源, 一定要单独安排、远离敏感电路
14	PCB 布线与布局	注意长线传输过程中的波形畸变
15	PCB 布线与布局	减小干扰源和敏感电路的环路面积, 最好的办法是使用双绞线和屏蔽线, 让信号线与接地线(或载流回路)扭绞在一起, 以便使信号与接地线(或载流回路)之间的距离最近
16	PCB 布线与布局	增大线间的距离, 使得干扰源与受感应的线路之间的互感尽可能地小
17	PCB 布线与布局	如有可能, 使得干扰源的线路与受感应的线路呈直角(或接近直角)布线, 这样可大大降低两线路间的耦合

18	PCB 布线与布局	增大线路间的距离是减小电容耦合的最好办法
19	PCB 布线与布局	在正式布线之前，首要的一点是将线路分类。主要的分类方法是按功率电平来进行，以每 30dB 功率电平分成若干组
20	PCB 布线与布局	不同分类的导线应分别捆扎，分开敷设。对相邻类的导线，在采取屏蔽或扭绞等措施后也可归在一起。分类敷设的线束间的最小距离是 50~75mm
21	PCB 布线与布局	电阻布局时，放大器、上下拉和稳压整流电路的增益控制电阻、偏置电阻（上下拉）要尽可能靠近放大器、有源器件及其电源和地以减轻其去耦效应（改善瞬态响应时间）。
22	PCB 布线与布局	旁路电容靠近电源输入处放置
23	PCB 布线与布局	去耦电容置于电源输入处。尽可能靠近每个 IC
24	PCB 布线与布局	PCB 基本特性 阻抗：由铜和横切面面积的质量决定。具体为：1 盎司 0.49 毫欧/单位面积
		电容： $C = \epsilon_0 \epsilon_r A / h$ ， ϵ_0 ：自由空间介电常数， ϵ_r ：PCB 基体介电常数， A ：电流到达的范围， h ：走线间距
		电感：平均分布在布线中，约为 1nH/m
		盎司铜线来讲，在 0.25mm(10mil)厚的 FR4 碾压下，位于地线层上方的 0.5mm 宽，20mm 长的线能产生 9.8 毫欧的阻抗，20nH 的电感及与地之间 1.66pF 的耦合电容。
25	PCB 布线与布局	PCB 布线基本方针：增大走线间距以减少电容耦合的串扰；平行布设电源线和地线以使 PCB 电容达到最佳；将敏感高频线路布设在远离高噪声电源线的位置；加宽电源线和地线以减少电源线和地线的阻抗；
26	PCB 布线与布局	分割：采用物理上的分割来减少不同类型信号线之间的耦合，尤其是电源与地线
27	PCB 布线与布局	局部去耦：对于局部电源和 IC 进行去耦，在电源输入口与 PCB 之间用大容量旁路电容进行低频脉动滤波并满足突发功率要求，在每个 IC 的电源与地之间采用去耦电容，这些去耦电容要尽可能接近引脚。
28	PCB 布线与布局	布线分离：将 PCB 同一层内相邻线路之间的串扰和噪声耦合最小化。采用 3W 规范处理关键信号通路。
29	PCB 布线与布局	保护与分流线路：对关键信号采用两面地线保护的措施，并保证保护线路两端都要接地
30	PCB 布线与布局	单层 PCB：地线至少保持 1.5mm 宽，跳线和地线宽度的改变应保持最低
31	PCB 布线与布局	双层 PCB：优先使用地格栅/点阵布线，宽度保持 1.5mm 以上。或者把地放在一边，信号电源放在另一边
32	PCB 布线与布局	保护环：用地线围成一个环形，将保护逻辑围起来进行隔离
33	PCB 布线与布局	PCB 电容：多层板上由于电源面和地面绝缘薄层产生了 PCB 电容。其优点是据有非常高的频率响应和均匀的分布在整个面或整条线上的低串连电感。等效于一个均匀分布在整板上的去耦电容。
34	PCB 布线与布局	高速电路和低速电路：高速电路要使其接近接地面，低速电路要使其接近于电源面。

		地的铜填充：铜填充必须确保接地。
35	PCB 布线与布局	相邻层的走线方向成正交结构，避免将不同的信号线在相邻层走成同一方向，以减少不必要的层间窜扰；当由于板结构限制（如某些背板）难以避免出现该情况，特别是信号速率较高时，应考虑用地平面隔离各布线层，用地信号线隔离各信号线；
36	PCB 布线与布局	不允许出现一端浮空的布线，为避免“天线效应”。
37	PCB 布线与布局	阻抗匹配检查规则：同一网格的布线宽度应保持一致，线宽的变化会造成线路特性阻抗的不均匀，当传输的速度较高时会产生反射，在设计中应避免这种情况。在某些条件下，可能无法避免线宽的变化，应该尽量减少中间不一致部分的有效长度。
38	PCB 布线与布局	防止信号线在不同层间形成自环，自环将引起辐射干扰。
39	PCB 布线与布局	短线规则：布线尽量短，特别是重要信号线，如时钟线，务必将其振荡器放在离器件很近的地方。
40	PCB 布线与布局	倒角规则：PCB 设计中应避免产生锐角和直角，产生不必要的辐射，同时工艺性能也不好，所有线与线的夹角应大于 135 度
41	PCB 布线与布局	滤波电容焊盘到连接盘的线线应采用 0.3mm 的粗线连接，互连长度应 $\leq 1.27\text{mm}$ 。
42	PCB 布线与布局	一般情况下，将高频的部分设在接口部分，以减少布线长度。同时还要考虑到高/低频部分地平面的分割问题，通常采用将二者的地分割，再在接口处单点相接。
43	PCB 布线与布局	对于导通孔密集的区域，要注意避免在电源和地层的挖空区域相互连接，形成对平面层的分割，从而破坏平面层的完整性，并进而导致信号线在地层的回路面积增大。
44	PCB 布线与布局	电源层投影不重叠准则：两层板以上（含）的 PCB 板，不同电源层在空间上要避免重叠，主要是为了减少不同电源之间的干扰，特别是一些电压相差很大的电源之间，电源平面的重叠问题一定要设法避免，难以避免时可考虑中间隔地层。
45	PCB 布线与布局	3W 规则：为减少线间窜扰，应保证线间距足够大，当线中心距不少于 3 倍线宽时，则可保持 70%的电场不互相干扰，如要达到 98%的电场不互相干扰，可使用 10W 规则。
46	PCB 布线与布局	20H 准则：以一个 H(电源和地之间的介质厚度)为单位，若内缩 20H 则可以将 70%的电场限制在接地边沿内，内缩 1000H 则可以将 98%的电场限制在内。
47	PCB 布线与布局	五五准则：印制板层数选择规则，即时钟频率到 5MHZ 或脉冲上升时间小于 5ns，则 PCB 板须采用多层板，如采用双层板，最好将印制板的一面做为一个完整的地平面

48	PCB 布线与布局	混合信号 PCB 分区准则: 1 将 PCB 分区为独立的模拟部分和数字部分; 2 将 A/D 转换器跨分区放置; 3 不要对地进行分割, 在电路板的模拟部分和数字部分下面设统一地; 4 在电路板的所有层中, 数字信号只能在电路板的数字部分布线, 模拟信号只能在电路板的模拟部分布线; 5 实现模拟电源和数字电源分割; 6 布线不能跨越分割电源面之间的间隙; 7 必须跨越分割电源之间间隙的信号线要位于紧邻大面积地的布线层上; 8 分析返回地电流实际流过的路径和方式;
49	PCB 布线与布局	多层板是较好的板级 EMC 防护设计措施, 推荐优选。
50	PCB 布线与布局	信号电路与电源电路各自独立的接地线, 最后在一点公共接地, 二者不宜有公用的接地线。
51	PCB 布线与布局	信号回流地线用独立的低阻抗接地回路, 不可用底盘或结构架件作回路。
52	PCB 布线与布局	在中短波工作的设备与大地连接时, 接地线 $<1/4\lambda$; 如无法达到要求, 接地线也不能为 $1/4\lambda$ 的奇数倍。
53	PCB 布线与布局	强信号与弱信号的地线要单独安排, 分别与地网只有一点相连。
54	PCB 布线与布局	一般设备中至少要有三个分开的地线: 一条是低电平电路地线 (称为信号地线), 一条是继电器、电动机和高电平电路地线 (称为干扰地线或噪声地线); 另一条是设备使用交流电源时, 则电源的安全地线应和机壳地线相连, 机壳与插箱之间绝缘, 但两者在一点相同, 最后将所有的地线汇集一点接地。断电器电路在最大电流点单点接地。 $f<1\text{MHz}$ 时, 一点接地; $f>10\text{MHz}$ 时, 多点接地; $1\text{MHz}<f<10\text{MHz}$ 时, 若地线长度 $<1/20\lambda$, 则一点接地, 否则多点接地。
55	PCB 布线与布局	避免地环路准则: 电源线应靠近地线平行布线。
56	PCB 布线与布局	散热器要与单板内电源地或屏蔽地或保护地连接 (优先连接屏蔽地或保护地), 以降低辐射干扰
57	PCB 布线与布局	数字地与模拟地分开, 地线加宽
58	PCB 布线与布局	对高速、中速和低速混用时, 注意不同的布局区域
59	PCB 布线与布局	专用零伏线, 电源线的走线宽度 $\geq 1\text{mm}$
60	PCB 布线与布局	电源线和地线尽可能靠近, 整块印刷板上的电源与地要呈“井”字形分布, 以便使分布线电流达到均衡。
61	PCB 布线与布局	尽可能有使干扰源线路与受感应线路呈直角布线
62	PCB 布线与布局	按功率分类, 不同分类的导线应分别捆扎, 分开敷设的线束间距离应为 $50\sim 75\text{mm}$ 。
63	PCB 布线与布局	在要求高的场合要为内导体提供 360° 的完整包裹, 并用同轴接头来保证电场屏蔽的完整性
64	PCB 布线与布局	多层板: 电源层和地层要相邻。高速信号应临近接地面, 非关键信号则布放为靠近电源面。
65	PCB 布线与布局	电源: 当电路需要多个电源供给时, 用接地分离每个电源。
66	PCB 布线与布局	过孔: 高速信号时, 过孔产生 $1\sim 4\text{nH}$ 的电感和 $0.3\sim 0.8\text{pF}$ 的电容。因此, 高速通道的过孔要尽可能最小。确保高速平行线的过孔数一致。

67	PCB 布线与布局	短截线：避免在高频和敏感的信号线路使用短截线
68	PCB 布线与布局	星形信号排列：避免用于高速和敏感信号线路
69	PCB 布线与布局	辐射型信号排列：避免用于高速和敏感线路，保持信号路径宽度不变，经过电源面和地面的过孔不要太密集。
70	PCB 布线与布局	地线环路面积：保持信号路径和它的地返回线紧靠在一起将有助于最小化地环
71	PCB 布线与布局	一般将时钟电路布置在 PCB 板接受中心位置或一个接地良好的位置，使时钟尽量靠近微处理器，并保持引线尽可能短，同时将石英晶体振荡只有外壳接地。
72	PCB 布线与布局	为进一步增强时钟电路的可靠性，可用地线找时钟区圈起隔离起来，在晶体振荡器下面加大接地的面积，避免布其他信号线；
73	PCB 布线与布局	元件布局的原则是将模拟电路部分与数字电路部分分工、将高速电路和低速电路分工，将大功率电路与小信号电路分工、将噪声元件与非噪声元件分工，同时尽量缩短元件之间的引线，使相互间的干扰耦合达到最小。
74	PCB 布线与布局	电路板按功能进行分区，各分区电路地线相互并联，一点接地。当电路板上有多多个电路单元时，应使各单元有独立的地线回各，各单元集中一点与公共地相连,单面板和双面板用单点接电源和单点接地.
75	PCB 布线与布局	重要的信号线尽量短和粗,并在两侧加上保护地，信号需要引出时通过扁平电缆引出，并使用“地线—信号—地线”相间隔的形式。
76	PCB 布线与布局	I/O 接口电路及功率驱动电路尽量靠近印刷板边缘
77	PCB 布线与布局	除时钟电路此，对噪声敏感的器件及电路下面也尽量避免走线。
78	PCB 布线与布局	当印刷电路板期有 PCI、ISA 等高速数据接口时，需注意在电路板上按信号频率渐进布局，即从插槽接口部位开始依次布高频电路、中等频率电路和低频电路，使易产生干扰的电路远离该数据接口。
79	PCB 布线与布局	信号在印刷线路上的引线越短越好，最长不宜超过 25cm，而且过孔数目也应尽量少。
80	PCB 布线与布局	在信号线需要转折时，使用 45 度或圆弧折线布线，避免使用 90 度折线，以减小高频信号的反射。
81	PCB 布线与布局	布线时避免 90 度折线，减少高频噪声发射
82	PCB 布线与布局	注意晶振布线。晶振与单片机引脚尽量靠近，用地线把时钟区隔离起来，晶振外壳接地并固定
83	PCB 布线与布局	电路板合理分区，如强、弱信号，数字、模拟信号。尽可能把干扰源（如电机，继电器）与敏感元件（如单片机）远离
84	PCB 布线与布局	用地线把数字区与模拟区隔离，数字地与模拟地要分离，最后在一 点接于电源地。A/D、D/A 芯片布线也以此为原则，厂家分配 A/D、D/A 芯片 引脚排列时已考虑此要求
85	PCB 布线与布局	单片机和大功率器件的地线要单独接地，以减小相互干扰。大功率 器件尽可能放在电路板边缘
86	PCB 布线与布局	布线时尽量减少回路环的面积，以降低感应噪声
87	PCB 布线与布局	布线时，电源线和地线要尽量粗。除减小压降外，更重要的是降低耦 合噪声

88	PCB 布线与布局	IC 器件尽量直接焊在电路板上，少用 IC 座
89	PCB 布线与布局	参考点一般应设置在左边和底边的边框线的交点(或延长线的交点)上或印制板的插件上的第一个焊盘。
90	PCB 布线与布局	布局推荐使用 25mil 网格
91	PCB 布线与布局	总的连线尽可能的短，关键信号线最短
92	PCB 布线与布局	同类型的元件应该在 X 或 Y 方向上一致。同一类型的有极性分立元件也要力争在 X 或 Y 方向上一致，以便于生产和调试；
93	PCB 布线与布局	元件的放置要便于调试和维修，大元件边上不能放置小元件，需要调试的元件周围应有足够的空间。发热元件应有足够的空间以利于散热。热敏元件应远离发热元件。
94	PCB 布线与布局	双列直插元件相互的距离要>2mm。BGA 与相邻器件距离>5mm。阻容等贴片小元件相互距离>0.7mm。贴片元件焊盘外侧与相邻插装元件焊盘外侧要>2mm。压接元件周围 5mm 内不可以放置插装元器件。焊接面周围 5mm 内不可以放置贴片元件。
95	PCB 布线与布局	集成电路的去耦电容应尽量靠近芯片的电源脚，高频最靠近为原则。使之与电源和地之间形成回路最短。
96	PCB 布线与布局	旁路电容应均匀分布在集成电路周围。
97	PCB 布线与布局	元件布局时，使用同一种电源的元件应考虑尽量放在一起，以便于将来的电源分割。
98	PCB 布线与布局	用于阻抗匹配目的的阻容器件的放置，应根据其属性合理布局。
99	PCB 布线与布局	匹配电容电阻的布局要分清楚其用法，对于多负载的终端匹配一定要放在信号的最远端进行匹配。
100	PCB 布线与布局	匹配电阻布局时候要靠近该信号的驱动端，距离一般不超过 500mil。
101	PCB 布线与布局	调整字符，所有字符不可以上盘，要保证装配以后还可以清晰看到字符信息，所有字符在 X 或 Y 方向上应一致。字符、丝印大小要统一。
102	PCB 布线与布局	关键信号线优先：电源、模拟小信号、高速信号、时钟信号和同步信号等关键信号优先布线；
103	PCB 布线与布局	环路最小规则：即信号线与其回路构成的环面积要尽可能小，环面积要尽可能小，环面积越小，对外的辐射越少，接收外界的干扰也越小。在双层板设计中，在为电源留下足够空间的情况下，应该将留下的部分用参考地填充，且增加一些必要的过孔，将双面信号有效连接起来，对一些关键信号尽量采用地线隔离，对一些频率较高的设计，需特别考虑其他平面信号回路问题，建议采用多层板为宜。
104	PCB 布线与布局	接地引线最短准则：尽量缩短并加粗接地引线（尤其高频电路）。对于在不同电平上工作的电路，不可用长的公共接地线。
105	PCB 布线与布局	内部电路如果要与金属外壳相连时，要用单点接地，防止放电电流流过内部电路
106	PCB 布线与布局	对电磁干扰敏感的部件需加屏蔽，使之与能产生电磁干扰的部件或线路相隔离。如果这种线路必须从部件旁经过时，应使用它们成 90°交角。

107	PCB 布线与布局	布线层应安排与整块金属平面相邻。这样的安排是为了产生通量抵消作用
108	PCB 布线与布局	在接地点之间构成许多回路，这些回路的直径（或接地点间距）应小于最高频率波长的 1/20
109	PCB 布线与布局	单面或双面板的电源线和地线应尽可能靠近，最好的方法是电源线布在印制板的一面，而地线布在印制板的另一面，上下重合，这会使电源的阻抗为最低
110	PCB 布线与布局	信号走线（特别是高频信号）要尽量短
111	PCB 布线与布局	两导体之间的距离要符合电气安全设计规范的规定，电压差不得超过它们之间空气和绝缘介质的击穿电压，否则会产生电弧。在 0.7ns 到 10ns 的时间里，电弧电流会达到几十 A，有时甚至会超过 100 安培。电弧将一直维持直到两个导体接触短路或者电流低到不能维持电弧为止。可能产生尖峰电弧的实例有手或金属物体，设计时注意识别。
112	PCB 布线与布局	紧靠双面板的位置处增加一个地平面，在最短间距处将该地平面连接到电路上的接地点。
113	PCB 布线与布局	确保每个电缆进入点离机箱地的距离在 40mm(1.6 英寸)以内。
114	PCB 布线与布局	将连接器外壳和金属开关外壳都连接到机箱地上。
115	PCB 布线与布局	在薄膜键盘周围放置宽的导电保护环，将环的外围连接到金属机箱上，或至少在四个拐角处连接到金属机箱上。不要将该保护环与 PCB 地连接在一起。
116	PCB 布线与布局	使用多层 PCB：相对于双面 PCB 而言，地平面和电源平面以及排列紧密的信号线-地线间距能够减小共模阻抗(common impedance)和感性耦合，使之达到双面 PCB 的 1/10 到 1/100。尽量地将每一个信号层都紧靠一个电源层或地线层。
117	PCB 布线与布局	对于顶层和底层表面都有元器件、具有很短连接线以及许多填充地的高密度 PCB，可使用内层线。大多数的信号线以及电源和地平面都在内层上，因而类似于具备屏蔽功能的法拉第盒。
118	PCB 布线与布局	尽可能将所有连接器都放在电路板一侧。
119	PCB 布线与布局	在引向机箱外的连接器(容易直接被 ESD 击中)下方的所有 PCB 层上，放置宽的机箱地或者多边形填充地，并每隔大约 13mm 的距离用过孔将它们连接在一起。
120	PCB 布线与布局	PCB 装配时，不要在顶层或者底层的安装孔焊盘上涂覆任何焊料。使用具有内嵌垫圈的螺钉来实现 PCB 与金属机箱/屏蔽层或接地面上支架的紧密接触。
121	PCB 布线与布局	在每一层的机箱地和电路地之间，要设置相同的“隔离区”；如果可能，保持间隔距离为 0.64mm(0.025 英寸)。

122	PCB 布线与布局	电路周围设置一个环形地防范 ESD 干扰：1 在电路板整个四周放上环形地通路；2 所有层的环形地宽度>2.5mm (0.1 英寸)；3 每隔 13mm(0.5 英寸)用过孔将环形地连接起来；4 将环形地与多层电路的公共地连接到一起；5 对安装在金属机箱或者屏蔽装置里的双面板来说，应该将环形地与电路公共地连接起来；6 不屏蔽的双面电路则将环形地连接到机箱地，环形地上不涂阻焊剂，以便该环形地可以充当 ESD 的放电棒，在环形地(所有层)上的某个位置处至少放置一个 0.5mm 宽(0.020 英寸)的间隙，避免形成大的地环路；7 如果电路板不会放入金属机箱或者屏蔽装置中，在电路板的顶层和底层机箱地线上不能涂阻焊剂，这样它们可以作为 ESD 电弧的放电棒。
123	PCB 布线与布局	在能被 ESD 直接击中的区域，每一个信号线附近都要布一条地线。
124	PCB 布线与布局	易受 ESD 影响的电路，放在 PCB 中间的区域，减少被触摸的可能性。
125	PCB 布线与布局	信号线的长度大于 300mm(12 英寸)时，一定要平行布一条地线。
126	PCB 布线与布局	安装孔的连接准则：可以与电路公共地连接，或者与之隔离。1 金属支架必须和金属屏蔽装置或者机箱一起使用时，要采用一个 0Ω电阻实现连接。2.确定安装孔大小来实现金属或者塑料支架的可靠安装，在安装孔顶层和底层上要采用大焊盘，底层焊盘上不能采用阻焊剂，并确保底层焊盘不采用波峰焊工艺焊接。
127	PCB 布线与布局	受保护的信号线和不受保护的信号线禁止并行排列。
128	PCB 布线与布局	复位、中断和控制信号线的布线准则：1 采用高频滤波；2 远离输入和输出电路；3 远离电路板边缘。
129	PCB 布线与布局	机箱内的电路板不安装在开口位置或者内部接缝处。
130	PCB 布线与布局	对静电最敏感的电路板放在最中间，人工不易接触到的部位；将对静电敏感的器件放在电路板最中间，人工不易接触到的部位。
131	PCB 布线与布局	两块金属块之间的邦定（binding）准则：1 固体邦定带优于编织邦定带；2 邦定处不潮湿不积水；3 使用多个导体将机箱内所有电路板的地平面或地网格连接在一起；4 确保邦定点和垫圈的宽度大于 5mm。
132	电路设计	信号滤波腿耦：对每个模拟放大器电源，必需在最接近电路的连接处到放大器之间加去耦电容器。对数字集成电路，分组加去耦电容器。在马达与发电机的电刷上安装电容器旁路，在每个绕组支路上串联 R-C 滤波器，在电源入口处加低通滤波等措施抑制干扰。安装滤波器应尽量靠近被滤波的设备，用短的，加屏蔽的引线作耦合媒介。所有滤波器都须加屏蔽，输入引线 with 输出引线之间应隔离。
133	电路设计	各功能单板对电源的电压波动范围、纹波、噪声、负载调整率等方面的要求予以明确，二次电源经传输到达功能单板时要满足上述要求
134	电路设计	将具有辐射源特征的电路装在金属屏蔽内，使其瞬变干扰最小。
135	电路设计	在电缆入口处增加保护器件
136	电路设计	每个 IC 的电源管脚要加旁路电容（一般为 104）和平滑电容 (10uF~100uF)到地，大面积 IC 每个角的电源管脚也要加旁路电容和平滑电容

137	电路设计	滤波器选型的阻抗失配准则：对低阻抗噪声源，滤波器需为高阻抗（大的串联电感）；对高阻抗噪声源，滤波器就需为低阻抗（大的并联电容）
138	电路设计	电容器外壳、辅助引出端子与正、负极以及电路板间必须完全隔离
139	电路设计	滤波连接器必须良好接地，金属壳滤波器采用面接地。
140	电路设计	滤波连接器的所有针都要滤波
141	电路设计	数字电路的电磁兼容设计中要考虑的是数字脉冲的上升沿和下降沿所决定的频带宽而不是数字脉冲的重复频率。方形数字信号的印制板设计带宽定为 $1/\pi t_r$ ，通常要考虑这个带宽的十倍频
142	电路设计	用 R-S 触发器作设备控制按钮与设备电子线路之间配合的缓冲
143	电路设计	降低敏感线路的输入阻抗有效减少引入干扰的可能性。
144	电路设计	LC 滤波器 在低输出阻抗电源和高阻抗数字电路之间，需要 LC 滤波器，以保证回路的阻抗匹配
145	电路设计	电压校准电路：在输入输出端，要加上去耦电容（比如 0.1μF），旁路电容选值遵循 10μF/A 的标准。
146	电路设计	信号端接：高频电路源与目的之间的阻抗匹配非常重要，错误的匹配会带来信号反馈和阻尼振荡。过量地射频能量则会导致 EMI 问题。此时，需要考虑采用信号端接。
		信号端接有以下几种：串联/源端接、并联端接、
		RC 端接、Thevenin 端接、二极管端接。
147	电路设计	MCU 电路：
		I/O 引脚：空置的 I/O 引脚要连接高阻抗以便减少供电电流。且避免浮动。
		IRQ 引脚：在 IRQ 引脚要有预防静电释放的措施。比如采用双向二极管、Transorbs 或金属氧化变阻器等。
		复位引脚：复位引脚要有时间延时。以免上电初期 MCU 即被复位。
		振荡器：在满足要求情况下，MCU 使用的时钟振荡频率越低越好。
		让时钟电路、校准电路和去耦电路接近 MCU 放置
148	电路设计	小于 10 个输出的小规模集成电路，工作频率≤50MHZ 时，至少配接一个 0.1uf 的滤波电容。工作频率≥50MHZ 时，每个电源引脚配接一个 0.1uf 的滤波电容；
149	电路设计	对于中大规模集成电路，每个电源引脚配接一个 0.1uf 的滤波电容。对电源引脚冗余量较大的电路也可按输出引脚的个数计算配接电容的个数，每 5 个输出配接一个 0.1uf 滤波电容。
150	电路设计	对无有源器件的区域，每 6cm2 至少配接一个 0.1uf 的滤波电容
151	电路设计	对于超高频电路，每个电源引脚配接一个 1000pf 的滤波电容。对电源引脚冗余量较大的电路也可按输出引脚的个数计算配接电容的个数，每 5 个输出配接一个 1000pf 的滤波电容
152	电路设计	高频电容应尽可能靠近 IC 电路的电源引脚处。
153	电路设计	每 5 只高频滤波电容至少配接一只一个 0.1uf 滤波电容；
154	电路设计	每 5 只 10uf 至少配接两只 47uf 低频的滤波电容；

155	电路设计	每 100cm ² 范围内, 至少配接 1 只 220uf 或 470uf 低频滤波电容;
156	电路设计	每个模块电源出口周围应至少配置 2 只 220uf 或 470uf 电容, 如空间允许, 应适当增加电容的配置数量;
157	电路设计	脉冲与变压器隔离准则: 脉冲网络和变压器须隔离, 变压器只能与去耦脉冲网络连接, 且连接线最短。
158	电路设计	在开关和闭合器的开闭过程中, 为防止电弧干扰, 可以接入简单的 RC 网络、电感性网络, 并在这些电路中加入一高阻、整流器或负载电阻之类, 如果还不行, 就将输入和载出引线进行屏蔽。此外, 还可以在这些电路中接入穿心电容。
159	电路设计	退耦、滤波电容须按照高频等效电路图来分析其作用。
160	电路设计	各功能单板电源引进处要采用合适的滤波电路, 尽可能同时滤除差模噪声和共模噪声, 噪声泄放地与工作地特别是信号地要分开, 可考虑使用保护地; 集成电路的电源输入端要布置去耦电容, 以提高抗干扰能力
161	电路设计	明确各单板最高工作频率, 对工作频率在 160MHz (或 200 MHz) 以上的器件或部件采取必要的屏蔽措施, 以降低其辐射干扰水平和提高抗辐射干扰的能力
162	电路设计	如有可能在控制线 (于印刷板上) 的入口处加接 R-C 去耦, 以便消除传输中可能出现的干扰因素。
163	电路设计	用 R-S 触发器做按钮与电子线路之间配合的缓冲
164	电路设计	在次级整流回路中使用快恢复二极管或在二极管上并联聚酯薄膜电容器
165	电路设计	对晶体管开关波形进行“修整”
166	电路设计	降低敏感线路的输入阻抗
167	电路设计	如有可能在敏感电路采用平衡线路作输入, 利用平衡线路固有的共模抑制能力克服干扰源对敏感线路的干扰
168	电路设计	将负载直接接地的方式是不合适
169	电路设计	注意在 IC 近端的电源和地之间加旁路去耦电容 (一般为 104)
170	电路设计	如有可能, 敏感电路采用平衡线路作输入, 平衡线路不接地
171	电路设计	继电器线圈增加续流二极管, 消除断开线圈时产生的反电动势干扰。仅加续流二极管会使继电器的断开时间滞后, 增加稳压二极管后继电器在单位时间内可动作更多的次数
172	电路设计	在继电器接点两端并接火花抑制电路 (一般是 RC 串联电路, 电阻一般选几 K 到几十 K, 电容选 0.01uF), 减小电火花影响
173	电路设计	给电机加滤波电路, 注意电容、电感引线要尽量短
174	电路设计	电路板上每个 IC 要并接一个 0.01μF ~ 0.1μF 高频电容, 以减小 IC 对电源的影响。注意高频电容的布线, 连线应靠近电源端并尽量粗短, 否则, 等于增大了电容的等效串联电阻, 会影响滤波效果
175	电路设计	可控硅两端并接 RC 抑制电路, 减小可控硅产生的噪声 (这个噪声严重时可能会把可控硅击穿的)

176	电路设计	许多单片机对电源噪声很敏感,要给单片机电源加滤波电路 或稳压器,以减小电源噪声对单片机的干扰。比如,可以利用磁珠和电容 组成 π 形滤波电路,当然条件要求不高时也可用 100 Ω 电阻代替磁珠
177	电路设计	如果单片机的 I/O 口用来控制电机等噪声器件,在 I/O 口与噪声源之 间应加隔离 (增加 π 形滤波电路)。控制电机等噪声器件,在 I/O 口与噪声源之 间应加隔离 (增加 π 形滤波电路)。
178	电路设计	在单片机 I/O 口,电源线,电路板连接线等关键地方使用抗干扰元件 如磁珠、磁环、电源滤波器,屏蔽罩,可显著提高电路的抗干扰性能
179	电路设计	对于单片机闲置的 I/O 口,不要悬空,要接地或接电源。其它 IC 的闲 置 端在不改变系统逻辑的情况下接地或接电源
180	电路设计	对单片机使用电源监控及看门狗电路,如:IMP809,IMP706,IMP813,X25043,X25045 等,可大幅度提高整个电路的抗干扰性能。
181	电路设计	在速度能满足要求的前提下,尽量降低单片机的晶振和选用低速数 字 电路
182	电路设计	如有可能,在 PCB 板的接口处加 RC 低通滤波器或 EMI 抑制元件 (如磁珠、信号滤波器等),以消除连接线的干扰;但是要注意不要影响有 用信号的传输
183	电路设计	时钟输出布线时不要采用向多个部件直接串行地连接 [称为菊花式连 接];而应该经缓存器分别向其它多个部件直接提供时钟信号
184	电路设计	延伸薄膜键盘边界使之超出金属线 12mm,或者用塑料切口来增加路 径长度。
185	电路设计	在靠近连接器的地方,要将连接器上的信号用一个 L-C 或者磁珠-电容 滤波器接到连接器的机箱地上。
186	电路设计	在机箱地和电路公共地之间加入一个磁珠。
187	电路设计	电子设备内部的电源分配系统是遭受 ESD 电弧感性耦合的主要对象, 电源分配系统防 ESD 措施:1 将电源线和相应的回路线紧密绞合在一 起;2 在每一根电源线进入电子设备的地方放一个磁珠;3 在每一个电 源管脚和紧靠电子设备机箱地之间放一个瞬流抑制器、金属氧化压敏 电阻(MOV)或者 1kV 高频电容;4 最好在 PCB 上布置专门的电源和地 平面,或者紧密的电源和地栅格,并采用大量旁路和去耦电容。
188	电路设计	在接收端放置串联的电阻和磁珠,对易被 ESD 击中的电缆驱动器,也 可在驱动端放置串联的电阻或磁珠。
189	电路设计	在接收端放置瞬态保护器。1 用短而粗的线(长度小于 5 倍宽度,最好 小于 3 倍宽度)连接到机箱地。2 从连接器出来的信号线和地线要直接 接到瞬态保护器,然后才能接电路的其它部分。
190	电路设计	在连接器处或者离接收电路 25mm(1.0 英寸)的范围内,放置滤波电容。 1 用短而粗的线连接到机箱地或者接收电路地(长度小于 5 倍宽度,最 好小于 3 倍宽度)。2 信号线和地线先连接到电容再连接到接收电路。
191	机壳	金属机箱上,开口最大直径 $\leq \lambda/20$, λ 为机内外最高频电磁波的波长; 非金属机箱在电磁兼容设计上视同为无防护。

192	机壳	屏蔽体的接缝数最少；屏蔽体的接缝处，多接点弹簧压顶接触法具有较好的电连续性；通风孔 $D < 3\text{mm}$ ，这个孔径能有效避免较大的电磁泄露或进入；屏蔽开口处（如通风口）用细铜网或其它适当的导电材料封堵；通风孔金属网如须经常取下，可用螺钉或螺栓沿孔口四周固定，但螺钉间距 $< 25\text{mm}$ 以保持连续线接触
193	机壳	$f > 1\text{MHz}$ ， 0.5mm 厚的任何金属板屏蔽体，都将场强减弱 99%；当 $f > 10\text{MHz}$ ， 0.1mm 的铜皮屏蔽体将场强减弱 99%以上； $f > 100\text{MHz}$ ，绝缘体表面的镀铜层或镀银层就是良好的屏蔽体。但需注意，对塑料外壳，内部喷覆金属涂层时，国内的喷涂工艺不过关，涂层颗粒间连续导通效果不佳，导通阻抗较大，应重视其喷涂不过关的负面效果。
194	机壳	整机保护地连接处不涂绝缘漆，要保证与保护地电缆可靠的金属接触，避免仅仅依靠螺丝螺纹做接地连接的错误方式
195	机壳	建立完善的屏蔽结构，带有接地的金属屏蔽壳体可将放电电流释放到地
196	机壳	建立一个击穿电压为 20kV 的抗 ESD 环境；利用增加距离来保护的措施都是有效的。
197	机壳	电子设备与下列各项之间的路径长度超过 20mm ，包括接缝、通风口和安装孔在内任何用户操作者能够接触到的点，可以接触到的未接地金属，如紧固件、开关、操纵杆和指示器。
198	机壳	在机箱内用聚脂薄膜带来覆盖接缝以及安装孔，这样延伸了接缝/过孔的边缘，增加了路径长度。
199	机壳	用金属帽或者屏蔽塑料防尘盖罩住未使用或者很少使用的连接器。
200	机壳	使用带塑料轴的开关和操纵杆，或将塑料手柄/套子放在上面来增加路径长度。避免使用带金属固定螺丝的手柄。
201	机壳	将 LED 和其它指示器装在设备内孔里，并用带子或者盖子将它们盖起来，从而延伸孔的边沿或者使用导管来增加路径长度。
202	机壳	将散热器靠近机箱接缝，通风口或者安装孔的金属部件上的边和拐角要做成圆弧形。
203	机壳	塑料机箱中，靠近电子设备或者不接地的金属紧固件不能突出在机箱中。
204	机壳	高支撑脚使设备远离桌面或地面可以解决桌面/地面或者水平耦合面的间接 ESD 耦合问题。
205	机壳	在薄膜键盘电路层周围涂上粘合剂或密封剂。
206	机壳	机箱结合点和边缘防护准则：结合点和边缘很关键，在机箱箱体接合处，要使用耐高压硅树脂或者垫圈实现密闭、防 ESD、防水和防尘。
207	机壳	不接地机箱至少应该具有 20kV 的击穿电压(规则 A1 到 A9)；而对接地机箱，电子设备至少要具备 1500V 击穿电压以防止二级电弧，并且要求路径长度大于等于 2.2mm 。
208	机壳	机箱用以下屏蔽材料制作：金属板；聚酯薄膜/铜或者聚酯薄膜/铝压板；具有焊接节点的热成型金属网；热成型金属化的纤维垫子(非编织)或者织物(编织)；银、铜或者镍涂层；锌电弧喷涂；真空金属处理；无电电镀；塑料中加入导体填充材料；

209	机壳	屏蔽材料防电化学腐蚀准则：相互接触的部件彼此之间的电势 (EMF)<0.75V。如果在一个盐性潮湿环境中，那么彼此之间的电势必须<0.25V。阳极(正极)部件的尺寸应该大于阴极(负极)部件。
210	机壳	用缝隙宽度 5 倍以上的屏蔽材料叠合在接缝处。
211	机壳	在屏蔽层与箱体之间每隔 20mm(0.8 英寸)的距离通过焊接、紧固件等方式实现电连接。
212	机壳	用垫圈实现缝隙的桥接，消除开槽并且在缝隙之间提供导电通路。
213	机壳	避免屏蔽材料中出现直拐角以及过大的弯角。
214	机壳	孔径 $\leq 20\text{mm}$ 以及槽的长度 $\leq 20\text{mm}$ 。相同开口面积条件下，优先采取开孔而不是开槽。
215	机壳	如果可能，用几个小的开口来代替一个大的开口，开口之间的间距尽量大。
216	机壳	对接地设备，在连接器进入的地方将屏蔽层和机箱地连接在一起；对未接地(双重隔离)设备，将屏蔽材料同开关附近的电路公共地连接起来。
217	机壳	尽可能让电缆进入点靠近面板中心，而不是靠近边缘或者拐角的位置。
218	机壳	在屏蔽装置中排列的各个开槽与 ESD 电流流过的方向平行而不是垂直。
219	机壳	在安装孔的位置使用带金属支架的金属片来充当附加的接地点，或者用塑料支架来实现绝缘和隔离。
220	机壳	在塑料机箱上的控制面板和键盘位置处安装局部屏蔽装置来阻止 ESD：
221	机壳	电源连接器和引向外部的连接器的位置，要连接到机箱地或者电路公共地。
222	机壳	在塑料中使用聚酯薄膜/铜或者聚酯薄膜/铝压板，或者使用导电涂层或导电填充物。
223	机壳	在铝板上使用薄的导电铬化镀层或者铬酸盐涂层，但不能采用阳极电镀。
224	机壳	在塑料中要使用导电填充材料。注意铸型部件表面通常有树脂材料，很难实现低电阻的连接。
225	机壳	在钢材料上使用薄的导电铬酸盐涂层。
226	机壳	让清洁整齐的金属表面直接接触而不要依靠螺钉来实现金属部件的连接。
227	机壳	沿整个外围用屏蔽涂层(铟锡氧化物、铟氧化物和锡氧化物等)将显示器与机箱屏蔽装置连接在一起。
228	机壳	在操作者常接触的位置处，要提供一个到地的抗静电(弱导电)路径，比如键盘上的空格键。
229	机壳	要让操作员很难产生到金属板边缘或角的电弧放电。电弧放电到这些点会比电弧放电到金属板中心导致更多间接 ESD 的影响。
230	其他	显示窗口的屏蔽防护准则：1 加装屏蔽防护窗；2 对外电路部分与机内的电路连接通过滤波器件相连。
231	其他	按键窗口防护准则：

232	器件选型	电容器尽量选择贴片电容，引线电感小。
233	器件选型	稳定电源的供电旁路电容，选择电解电容
234	器件选型	交流耦合及电荷存储用电容器选择聚四氟乙烯电容器或其它聚脂型(聚丙烯、聚苯乙烯等)电容器。
235	器件选型	高频电路退耦用单片陶瓷电容器
236	器件选型	电容选择的标准是：
		尽可能低的 ESR 电容；
		尽可能高的电容的谐振频率值；
237	器件选型	铝电解电容器应当避免在下述情况下使用：
		a、高温(温度超过最高使用温度)
		b、过流(电流超过额定纹波电流),施加纹波电流超过额定值後，会导致电容器体过热，容量下降，寿命缩短。
		c、过压(电压超过额定电压),当电容器上所施加电压高於额定工作电压时，电容器的漏电流将上升，其电氧物性将在短期内劣化直至损坏。
		d、施加反向电压或交流电压，当值流铝电解电容器按反极性接入电路时，电容器会导致电子线路短路，由此产生的电流会引致电容器损坏。若电路中有可能在负引线施加正极电压，请选无极性产品。
		e、使用於反复多次急剧充放电的电路中，当常规电容器被用作快速充电用途。其使用寿命可能会因为容量下降，温度急剧上升等而缩减。
238	器件选型	只有在屏蔽机箱上才有必要使用滤波连接器
239	器件选型	选用滤波器连接器时，除了要选用普通连接器时要考虑的因素外，还应考虑滤波器的截止频率。当连接器中各芯线上传输的信号频率不同时，要以频率最高的信号为基准来确定截止频率
240	器件选型	封装尽可能选择表贴
241	器件选型	电阻选择首选碳膜，其次金属膜，因功率原因需选线绕时，一定要考虑其电感效应
242	器件选型	电容选择应注意铝电解电容、钽电解电容适用于低频终端；陶制电容适合于中频范围（从 KHz 到 MHz）；陶制和云母电容适合于甚高频和微波电路；尽量选用低 ESR（等效串联电阻）电容
243	器件选型	旁路电容选择电解电容，容值选 10-470PF，主要取决于 PCB 板上的瞬态电流需求
244	器件选型	去耦电容应选择陶瓷电容，容值选旁路电容的 1/100 或 1/1000。取决于最快信号的上升时间和下降时间。比如 100MHz 取 10nF，33MHz 取 4.7-100nF，选择 ESR 值小于 1 欧姆
		选择 NPO（锆钛酸盐电介质）用作 50MHz 以上去耦，选择 Z5U（钡钛酸盐）用作低频去耦，最好是选择相差两个数量级的电容并联去耦
245	器件选型	电感选用时，选择闭环优于开环，开环时选择绕轴式优于棒式或螺线管式。选择铁磁芯应用于低频场合，选择铁氧体磁心应用于高频场合

246	器件选型	铁氧体磁珠 高频衰减 10dB
247	器件选型	铁氧体夹 MHz 频率范围的共模 (CM)、差模 (DM) 衰减达 10-20dB
248	器件选型	二极管选用：
		肖特基二极管：用于快速瞬态信号和尖脉冲保护；
		齐纳二极管：用于 ESD（静电放电）保护；过电压保护；低电容高数据率信号保护
		瞬态电压抑制二极管 (TVS)：ESD 激发瞬时高压保护，瞬时尖脉冲消减
		变阻二极管：ESD 保护；高压和高瞬态保护
249	器件选型	集成电路：
		选用 CMOS 器件尤其是高速器件有动态功率要求，需要采取去耦措施以便满足其瞬时功率要求。
		高频环境中，引脚会形成电感，数值约为 1nH/1mm，引脚末端也会向后呈小电容效应，大约有 4pF。表贴器件有利于 EMI 性能，寄生电感和电容值分别为 0.5nH 和 0.5pF。
		放射状引脚优于轴向平行引脚；
		TTL 与 CMOS 混合电路因为开关保持时间不同，会产生时钟、有用信号和电源的谐波，因此最好选择同系列逻辑电路。
		未使用的 CMOS 器件引脚，要通过串联电阻接地或者接电源。
250	器件选型	滤波器的额定电流值取实际工作电流值的 1.5 倍。
251	器件选型	电源滤波器的选择：依据理论计算或测试结果，电源滤波器应达到的插损值为 1L，实际选型时应选择插损为 1L+20dB 大小的电源滤波器。
252	器件选型	交流滤波器和支流滤波器在实际产品中不可替换使用，临时性样机中，可以用交流滤波器临时替代直流滤波器使用；但直流滤波器绝对不可用于交流场合，直流滤波器对地电容的滤波截止频率较低，交流电流会在其上产生较大损耗。
253	器件选型	避免使用静电敏感器件，选用器件的静电敏感度一般不低于 2000V，否则要仔细推敲、设计抗静电的方法。在结构方面，要实现良好的地气连接及采取必要的绝缘或屏蔽措施，提高整机的抗静电能力
254	器件选型	带屏蔽的双绞线，信号电流在两根内导线上流动，噪声电流在屏蔽层里流动，因此消除了公共阻抗的耦合，而任何干扰将同时感应到两根导线上，使噪声相消
255	器件选型	非屏蔽双绞线抵御静电耦合的能力差些。但对防止磁场感应仍有很好作用。非屏蔽双绞线的屏蔽效果与单位长度的导线扭绞次数成正比
256	器件选型	同轴电缆有较均匀的特性阻抗和较低的损耗，使从直流到甚高频都有较好特性。
257	器件选型	凡是能不用高速逻辑电路的地方就不要用高速逻辑电路
258	器件选型	在选择逻辑器件时，尽量选上升时间比 5ns 长的器件，不要选比电路要求时序快的逻辑器件

259	系统	多个设备相连为电气系统时,为消除地环路电源引起的干扰,采用隔离变压器、中和变压器、光电耦合器和差动放大器共模输入等措施来隔离。
260	系统	识别干扰器件和干扰电路:在启停或运行状态下,电压变化率 dV/dt 、电流变化率 di/dt 较大的器件或电路,为干扰器件或干扰电路。
261	系统	在薄膜键盘电路和与其相对的邻近电路之间放置一个接地的导电层。
262	线缆与接插件	PCB 布线与布局隔离准则:强弱电流隔离、大小电压隔离,高低频率隔离、输入输出隔离、数字模拟隔离、输入输出隔离,分界标准为相差一个数量级。隔离方法包括:屏蔽其中一个或全部独立屏蔽、空间远离、地线隔开。
263	线缆与接插件	无屏蔽的带状电缆。最佳接线方式是信号与地线相间,稍次的方法是一根地、两根信号再一根地依次类推,或专用一块接地平板
264	线缆与接插件	信号电缆屏蔽准则:1 强干扰信号传输使用双绞线或专用外屏蔽双绞线。2 直流电源线应用屏蔽线;3 交流电源线应用扭绞线;4 所有进入屏蔽区的信号线/电源线均须经过滤波。5 一切屏蔽线(套)两端应与地有良好的接触,只要不产生有害接地环路,所有电缆屏蔽套都应两端接地,对非常长的电缆,则中间也应有接地点。6 在灵敏的低电平电路中,以消除接地环路中可能产生的干扰,对每电路都应有各自隔离和屏蔽好接地线。
265	线缆与接插件	屏蔽线紧贴金属底板准则:所有带屏蔽层的电缆宜紧贴金属板安放,防止磁场穿过金属地板和屏蔽线外皮构成的回路
266	线缆与接插件	印刷电路的插头也要多安排一些零伏线作为线间隔离
267	线缆与接插件	减小干扰和敏感电路的环路面积最好办法是使用双绞线和屏蔽线
268	线缆与接插件	双绞线在低于 100KHz 下使用非常有效,高频下因特性阻抗不均匀及由此造成的波形反射而受到限制